

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04619415 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **06-291315** [JP 6291315 A]

PUBLISHED: October 18, 1994 (19941018)

INVENTOR(s): YAMAZAKI SHUNPEI

MASE AKIRA

HIROKI MASAAKI

TAKEMURA YASUHIKO

CHIYOU KOUYUU

UOJI HIDEKI

NEMOTO HIDEKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company

or Corporation), JP (Japan)

APPL. NO.: **04-034194** [JP 9234194]

FILED: January 24, 1992 (19920124)

INTL CLASS: [5] H01L-029/784; G02F-001/136; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: , Section No. FFFFFF, Vol. 94, No. 10, Pg. FFFFFF, FF, FFFF (FFFFFF)

ABSTRACT

PURPOSE: To reduce the leakage current when a reverse bias is applied, by making the channel length longer than the length of the gate electrode in the channel length direction to form, in the portion contacting with the source or drain region of the channel region, an offset region where the field by the gate electrode is not applied or weak.

CONSTITUTION: As the gate electrode portion to form a gate electrode 15 and an oxide layer 16, a material which can be anodized is selected, and the surface portion thereof is anodized to form the oxide layer 16. As a result, the distance between a source region 20 in which ions are implanted and a drain region 21, or a channel length 28 is longer than the effective length of the gate electrode 15 by about two times the thickness of the oxide layer 16. Consequently, to portions 26 and 27 in a channel region 19 opposed to the oxide layer 16 formed on both side of the gate electrode through a gate insulation film 17, the field by the gate electrode is not applied at all, or it is very weak as compared with the portion right under the gate electrode.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-291315

(43)公開日 平成6年(1994)10月18日

(51) Int.C1.⁵ 識別記号

F I

H01L 29/784

G02F 1/136

H01L 21/336

500

9119-2K

9056-4M

H01L 29/78

311 H

9056-4M

311 P

審査請求 有 請求項の数4 FD (全11頁)

(21)出願番号 特願平4-34194

(71)出願人 000153878

(22)出願日 平成4年(1992)1月24日

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(31)優先権主張番号 特願平3-237100

(72)発明者 山崎 舜平

(32)優先日 平3(1991)8月23日

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(33)優先権主張国 日本 (JP)

(72)発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 ▲ひろ▼木 正明

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

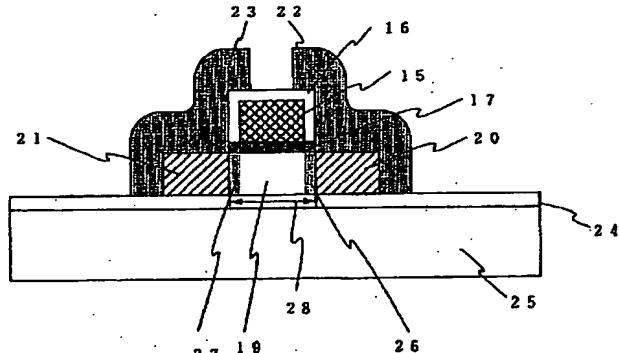
最終頁に続く

(54)【発明の名称】半導体装置とその作製方法

(57)【要約】

【目的】 アクティブマトリクス型電気光学装置に用い
る薄膜絶縁ゲート型電解効果トランジスタにおいて、逆
バイアス時のリーク電流を減少せしめた半導体装置とそ
の作製方法を提供する。

【構成】 絶縁ゲート型電解効果トランジスタにおい
て、チャネル長をゲート電極のチャネル長方向の長さよ
りも長くすることにより、チャネル領域の両側部にゲー
ト電極による電界の全くかかるないあるいはゲート電極
垂直下に比較して非常に弱いオフセット領域を形成する
ことを特徴とする。



【特許請求の範囲】

【請求項 1】 絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタにおいて、チャネル長がゲート電極のチャネル長方向の長さよりも長い事を特徴とする半導体装置。

【請求項 2】 請求項 1において、チャネル長はゲート電極のチャネル長方向の長さよりもゲート電極表面に形成されたる酸化物層の厚みの概略 2 倍程度長いことを特徴とする半導体装置。

【請求項 3】 絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタの作製方法において、半導体層およびゲート絶縁膜層を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層に p 型化または n 型化せしめる不純物イオンを注入してソースまたはドレイン領域を形成した後に、前記ゲート電極部表面を陽極酸化し、その後に熱処理工程を有することを特徴とする半導体装置の作製方法。

【請求項 4】 絶縁基板上に少なくとも半導体層、絶縁膜層および導体層を有する絶縁ゲート型電界効果トランジスタの作製方法において、半導体層およびゲート絶縁膜層を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記ゲート電極部表面を陽極酸化し、その後に前記半導体層に p 型化または n 型化せしめる不純物イオンを注入してソースまたはドレイン領域を形成した後に、熱処理工程を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は、アクティブマトリクス型電気光学装置、特にアクティブマトリクス型液晶電気光学装置等に利用でき、明解なスイッチング特性を有する電界効果型トランジスタの構造およびその作製方法を示すものである。

【0 0 0 2】

【従来の技術】 従来のアクティブマトリクス型液晶電気光学装置に用いる薄膜絶縁ゲート型電界効果トランジスタは、図 2 に示すような構造を有している。絶縁基板 9 上にプロッキング層 8 を有し、ソース 4、ドレイン 5、およびチャネル領域 3 を有する半導体層上にゲート絶縁膜 2 とゲート電極 1 を有する。その上に層間絶縁膜 1 2 およびソース電極 6、ドレイン電極 7 を有する。

【0 0 0 3】 この従来の絶縁ゲート型電界効果トランジスタの作製手順は、ガラス基板 9 上にプロッキング層を SiO₂ をターゲットとしてスパッタ法で成膜したのちに、プラズマ CVD 法を用いて半導体層を作製し、それをパターンニングすることでソース、ドレイン、チャネル領域となる半導体層を形成の後に、スパッタ法を用いて酸化珪素からなるゲート絶縁膜 2 を成膜し、その後減圧 CVD 法を用いて P (リン) を高濃度ドープしたゲー

ト電極用導電層を成膜の後にパターニングを施してゲート電極 1 を作製する。その後、ゲート電極をマスクとした不純物イオンの注入を行い、ソース 5 およびドレイン 4 を作製し、その後熱処理を行って活性化を行う、というものであった。

【0 0 0 4】 この様に作製した絶縁ゲート型電界効果トランジスタは、ゲート電極 1 のチャネル長方向の長さとチャネル長 1 0 はほぼ等しい。

【0 0 0 5】

10 【発明が解決しようとする課題】 この様な構造を有する絶縁ゲート型電界効果トランジスタの電流電圧特性は n チャネルの場合図 3 に示す様に、逆バイアス領域 1 3 において、ソースドレイン間の印加電圧が増加するにつれて、リーク電流が増加するという欠点を有していた。

【0 0 0 6】 この様なリーク電流が増した場合、この素子をアクティブマトリクス型液晶電気光学装置に用いた時には、図 5 (A) に示した様に、書き込み電流 3 0 を通じて液晶 2 9 に蓄電された電荷は、非書き込み期間中に素子のリーク部分を通してリーク電流 3 1 が放電されてしまい、良好なコントラストを得ることができなかつた。

【0 0 0 7】 そのために、このような場合従来例として図 5 (B) に示した様に、電荷保持のためのコンデンサー 3 2 を設置することが必要になっていた。しかしながら、これらコンデンサーを形成するためには、金属配線による容量用の電極を必要とするために、開口率を低下させる要因となっていた。またこれを I T O などの透明電極にて形成し開口率を向上させる例も報告されているが、余分なプロセスを必要とするために、歓迎されるものではなかった。本発明は以上の様な問題を解決するものである。

【0 0 0 8】

【問題を解決するための手段】 この問題の一つの解決方法として、本発明者らは絶縁ゲート型電界効果トランジスタにおいて、チャネル長 (ソース領域とドレイン領域の間の距離) をゲート電極のチャネル長方向の長さよりも長くすることにより、チャネル領域のうちのソース領域またはドレイン領域に接する部分にゲート電極による電界のかからないまたは非常に弱いオフセット領域を形成することで、図 4 に示すような電流電圧特性をとることを知見した。

【0 0 0 9】 本発明の基本的な構成を図 1 に示す。絶縁基板 2 5 上にプロッキング層 2 4 があり、その上に半導体層としてソース領域 2 0、ドレイン領域 2 1、およびチャネル領域 1 9 を設ける。チャネル領域 1 9 上にはゲート絶縁膜 1 7 とその上に陽極酸化可能な材料を陽極酸化して絶縁層である酸化物層 1 6 を形成したゲート電極 1 5 が形成されている。ソース領域、ドレイン領域にそれぞれ接してソース電極 2 2、ドレイン電極 2 3 を設ける。

【0010】図1に示す様に、ゲート電極15と酸化物層16となるゲート電極部に陽極酸化が可能な材料を選び、その表面部分を陽極酸化して酸化物層16を形成することで、イオン打ち込みの領域であるソース領域20とドレイン領域21の間の距離すなわちチャネル長28は、実質的なゲート電極15のチャネル長方向の長さよりも酸化物層16の厚みの概略2倍程度長くなる。ゲート電極部の材料としては、主としてチタン(Ti)、アルミニウム(Al)、タンタル(Ta)、クロム(Cr)、シリコン(Si)単体、あるいはそれらの合金が適している。

【0011】その結果、ゲート電極両側面に形成された酸化物層16にゲート絶縁膜17を介して向かい合うチャネル領域19中の部分26および27には、ゲート電極による電界が全くかからないあるいはゲート電極の垂直下の部分と比較して非常に弱くなる。

【0012】本装置の作製方法は、ソース、ドレイン、チャネル領域となる半導体層およびゲート絶縁膜層17を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域20およびドレイン領域21を形成し、その後ゲート電極部表面部分を陽極酸化してゲート電極15と酸化物層16を形成し、熱処理工程等を施す、というものである。

【0013】または、前記半導体層およびゲート絶縁膜層17を形成後に陽極酸化可能な材料によってゲート電極部を形成した後に、ゲート電極部表面部分を陽極酸化してゲート電極15と酸化物層16を形成して、その後前記半導体層にp型化またはn型化せしめる不純物イオンを注入してソース領域20およびドレイン領域21を形成してから熱処理工程を施す工程でも良い。

【0014】以上のような工程をとることで、チャネル長がゲート電極のチャネル長方向の長さより長い絶縁ゲート型電界効果トランジスタを、マスクずれ等による性能のばらつきなどを発生することなく容易かつ確実に作製することが可能となる。

【0015】以下に実施例を示す。

【実施例】

【0016】【実施例1】本実施例では、対角1インチを有する液晶電気光学装置を用いた、ビデオカメラ用ビューファインダーを作製し、本発明を実施したので説明を加える。

【0017】本実施例では画素数が387×128の構成にして、本発明の構成を有した低温プロセスによる高移動度TFT(薄膜トランジスタ)を用いた素子を形成し、ビューファインダーを構成した。本実施例で使用する液晶表示装置の基板上のアクティブ素子の配置の様子を図7に示し、図6に本実施例の回路図を示す。図7のA-A'断面およびB-B'断面を示す作製プロセスを図8に描く。A-A'断面はN TFTを示し、B-B'

断面はPTFTを示す。

【0018】図8(A)において、安価な、700℃以下、例えば約600℃の熱処理に耐え得るガラス基板51上にマグネットロンRF(高周波)スパッタ法を用いてプロッキング層52としての酸化珪素膜を1000~3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

【0019】この上にシリコン膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100~200℃低い450~550℃、例えば530℃でジシラン(Si₂H₆)またはトリシラン(Si₃H₈)をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は50~250Å/分であった。PTFTとNTFTとのスレッシュホールド電圧(Vth)に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0020】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0021】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン(SiH₄)またはジシラン(Si₂H₆)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0022】これらの方法によって形成された被膜は、酸素が $5 \times 10^{11} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーキ電流が増加してしまう。そのため $4 \times 10^{13} \sim 4 \times 10^{14} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{19} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{11} \text{ cm}^{-3}$ として比較すると1原子%であった。

【0023】上記方法によって、アモルファス状態の珪素膜を500~5000Å、例えば1500Åの厚さに作製の後、450~700℃の温度にて12~70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600℃の温度で保持した。珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0024】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザーマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。それの見掛け上の粒径は半値巾から計算すると、 $50 \sim 500\text{ \AA}$ とマイクロクリスタルのようになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合（アンカリング）がされたセミアモルファス構造の被膜を形成させることができた。

【0025】結果として、被膜は実質的にグレインバウンダリ（以下GBという）がないといつてもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度（ $\mu\text{ h}$ ） $= 10 \sim 200\text{ cm}^2/\text{V sec}$ 、電子移動度（ $\mu\text{ e}$ ） $= 15 \sim 300\text{ cm}^2/\text{V sec}$ が得られる。

【0026】他方、上記の如き中温でのアニールではなく、 $900 \sim 1200^\circ\text{C}$ の高温アニールにより被膜を多結晶化してもよい、しかしその場合は核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きいが、GBでのバリア（障壁）を作つてそこでキャリアの移動を阻害してしまう。結果として $1\text{ cm}^2/\text{V sec}$ 以上の移動度がなかなか得られないのが実情である。そのため酸素、炭素、窒素等の不純物濃度をセミアモルファスのものよりも数分の1から数十分の1にする必要がある。その様にした場合、 $50 \sim 100\text{ cm}^2/\text{V sec}$ が得られた。

【0027】このようにして形成した珪素膜にフォトエッチングを施し、NTFT用の半導体層53（チャネル巾 $20\text{ }\mu\text{m}$ ）、PTFT用の半導体層54を作製した。

【0028】この上にゲート絶縁膜となる酸化珪素膜を $500 \sim 2000\text{ \AA}$ 例えれば 1000 \AA の厚さに形成した。これはプロッキング層としての酸化珪素膜の作製と同一条件とした。これを成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてよい。

【0029】この後、この上側にアルミニウム膜を形成した。これをフォトマスクにてパターニングして図8(B)を得た。NTFT用のゲート絶縁膜55、ゲート電極部56を形成し、両者のチャネル長方向の長さは $10\text{ }\mu\text{m}$ すなわちチャネル長を $10\text{ }\mu\text{m}$ とした。同様に、PTFT用のゲート絶縁膜57、ゲート電極部58を形成し、両者のチャネル長方向の長さは $7\text{ }\mu\text{m}$ すなわちチャネル長を $7\text{ }\mu\text{m}$ とした。また双方のゲート電極部56、

58の厚さは共に $0.8\text{ }\mu\text{m}$ とした。図8(C)において、PTFT用のソース59、ドレイン60に対し、ホウ素(B)を $1 \sim 5 \times 10^{15}\text{ cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図8(D)の如く、フォトレジスト61をフォトマスクを用いて形成した。NTFT用のソース62、ドレイン63としてリン(P)を $1 \sim 5 \times 10^{15}\text{ cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0030】その後、ゲート電極部に陽極酸化を施した。L-酒石酸をエチレングリコールに5%の濃度で希釈し、アンモニアを用いてpHを 7.0 ± 0.2 に調整した。その溶液中に基板を浸し、定電流源の+側を接続し、-側には白金の電極を接続して 20 mA の定電流状態で電圧を印加し、 150 V に到達するまで酸化を継続した。さらに、 150 V で定電圧状態で加え 0.1 mA 以下になるまで酸化を継続した。このようにして、ゲート電極部56、58の表面に酸化アルミニウム層64を形成し、NTFT用のゲート電極65、PTFT用のゲート電極66を得た。酸化アルミニウム層64は $0.3\text{ }\mu\text{m}$ の厚さに形成した。

【0031】次に、 600°C にて $10 \sim 50$ 時間再び加熱アニールを行つた。NTFTのソース62、ドレイン63、PTFTのソース59、ドレイン60を不純物を活性化して N^+ 、 P^+ として作製した。またゲート絶縁膜55、57下にはチャネル形成領域67、68がセミアモルファス半導体として形成されている。

【0032】本作製方法においては、不純物のイオン注入とゲート電極周囲の陽極酸化の順序を入れ換えるても良い。この様に、ゲート電極の周囲に酸化金属からなる絶縁層を形成したことで、ゲート電極の実質長さは、チャネル長さよりも絶縁膜の厚さの2倍分、この場合は $0.6\text{ }\mu\text{m}$ だけ短くなることになり、電界のかからないオフセット領域を設けることで、逆バイアス時のリーク電流を減少させることが出来た。

【0033】本実施例では熱アニールは図8(A)、(E)で2回行つた。しかし図8(A)のアニールは求める特性により省略し、双方を図8(E)のアニールにより兼ね製造時間の短縮を図つてもよい。図8(E)において、層間絶縁物69を前記したスパッタ法により酸化珪素膜の形成として行つた。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてよい。層間絶縁物は $0.2 \sim 0.6\text{ }\mu\text{m}$ たとえば $0.3\text{ }\mu\text{m}$ の厚さに形成し、その後、フォトマスクを用いて電極用の窓70を形成した。さらに、図8(F)に示す如くこれら全体にアルミニウムをスパッタ法により形成し、リード71、73、およびコンタクト72をフォトマスクを用いて作製した後、表面を平坦化用有機樹脂74例えれば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスクにて行つた。

【0034】2つのTFTを相補型構成とし、かつその

出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO（インジュームスズ酸化膜）を形成した。それをフォトマスクによりエッチングし、電極75を構成させた。このITOは室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。かくの如くにしてNTFT76とPTFT77と透明導電膜の電極75とを同一ガラス基板51上に作製した。得られたTFTの電気的な特性はPTFTで移動度は20 (cm²/Vs)、V_{th}は-5.9 (V) で、NTFTで移動度は40 (cm²/Vs)、V_{th}は5.0 (V) であった。

【0035】上記の様な方法に従って液晶装置用の一方の基板を作製した。この液晶表示装置の電極等の配置は図7に示している。NTFT76およびPTFT77を第1の信号線40と第2の信号線41との交差部に設けた。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT76は、ドレイン63の入力端のリード71を介し第2の信号線41に連結され、ゲート56は多層配線形成がなされた信号線40に連結されている。ソース62の出力端はコンタクト72を介して画素の電極75に連結している。

【0036】他方、PTFT77はドレイン60の入力端がリード73を介して第2の信号線41に連結され、ゲート58は信号線40に、ソース59の出力端はコンタクト72を介してNTFTと同様に画素電極75に連結している。かかる構造を左右、上下に繰り返すことにより、本実施例は構成されている。

【0037】次に第二の基板として、青板ガラス上にスパッタ法を用いて、酸化珪素膜を2000 Å積層した基板上に、やはりスパッタ法によりITO（インジューム・スズ酸化膜）を形成した。このITOは室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。また、この基板上にカラーフィルターを形成して、第二の基板とした。

【0038】その後、前記第一の基板と第二の基板によって、紫外線硬化型アクリル樹脂とネマチック液晶組成物の6対4の混合物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードはそのピッチが46 μmと微細なため、COG法を用いて接続をおこなった。本実施例ではICチップ上に設けた金バンプをエポキシ系の銀バラジウム樹脂で接続し、ICチップと基板間を固着と封止を目的としたエポキシ变成アクリル樹脂にて埋めて固定する方法を用いた。その後、外側に偏光板を貼り、透過型の液晶表示装置を得た。

【0039】〔実施例2〕本実施例ではオフセット領域の幅によるセミアモルファスシリコンTFTの特性の違いについて記述する。本実施例では、セミアモルファスシリコンTFTはアルミニウムゲートとし、アルミニウムゲートの周囲を陽極酸化法によって酸化することによって、オフセット領域を形成させた。以下に詳細な作製

方法を記述する。

【0040】ガラス基板上に窒化珪素膜と酸化珪素膜の多層膜を形成し、プラズマCVD法によって、アモルファス上のシリコン膜を150 nm形成した。パターニングでは、その幅を80 μmとした。したがって、このTFTのチャネル幅は80 μmである。これを窒素雰囲気中で600℃、60時間加熱することによってセミアモルファス状態のシリコンとした。

【0041】次いで、酸素雰囲気中での酸化珪素ターゲットのスパッタリングによって、ゲート酸化膜となる酸化珪素被膜を形成した。その厚さは115 nmとした。さらに、電子ビーム蒸着によって、アルミニウム被膜を形成し、公知の fotolithography 法によってアルミニウム被膜および下地の酸化珪素被膜をエッチングして、ゲート電極を形成した。エチングには反応性イオンエチング (RIE) 法を使用した。このようにして形成したゲート電極のチャネル長は8 μmとした。

【0042】そして、ゲート電極およびその配線を陽極酸化をおこなった。陽極酸化の方法は以下のようにおこなった。まず、容器内に3%の酒石酸のエチレングリコール溶液を入れ、これに5wt%のアンモニア水を加えて、pHを7.0±0.2となるように調整した。そして、25±2℃の温度で白金電極を陰極として、ガラス基板ごと溶液中に浸し、アルミニウム配線を直流電源の正極に接続して、陽極酸化をおこなった。

【0043】陽極酸化では、最初に0.2～1.0 mA/cm²の定電流を流し、100～250 Vの適当な電圧に到達した後は、電圧を一定に保ったまま、陽極酸化を進め、電流が0.005 mA/cm²まで減少した時点で通電をやめて、取り出した。本発明者の実験では、初期の定電流の値は酸化膜形成の時間にのみ影響があり、最終的に形成される酸化膜の厚さにはほとんど影響しないことが明らかになった。酸化膜の厚さに大きな影響を持つパラメータは到達最大電圧であり、例えば、これが100 V、150 V、200 V、250 Vであるときの得られる酸化膜の厚さは、それぞれ70 nm、140 nm、230 nm、320 nmであった。また、このときには酸化されるアルミニウムの厚さの1.5倍の酸化アルミニウムが得られることが本発明者の実験から明らかになった。さらに、得られる酸化膜の厚さは全ての部分にわたって極めて均質であった。

【0044】その後、レーザードーピング法によってソース、ドレイン領域を形成した。レーザードーピング法は以下の方法によっておこなった。使用したレーザーは、エキシマーレーザーの1種であるKrFレーザーで、その発振波長は248 nmである。試料を気密性のある容器内に配置し、95 Paの減圧雰囲気とせしめ、内部にドーピングガスとしてジボラン (B₂H₆)、あるいはフォスヒン (PH₃) を導入して、1ショットのエネルギーが350 mJのレーザーパルスを50ショッ

ト照射した。

【0045】ドーピングガスには、P型チャネルを形成する場合には水素で希釈したジボランを用い、その流量はジボラン 100 sccm、水素 20 sccmとした。また、N型チャネルを形成する場合にはフォスピンを用い、その流量は 100 sccmとした。

【0046】その後、チャネル領域の活性化を促進する目的で、水素中で 250°C、30 分のアニールをおこなった。そして、公知の方法によって層間絶縁膜とソース、ドレイン電極・配線を形成し、TFT を完成させた。

【0047】このようにして作製した TFT の特性例を図 9 および図 10 に示す。図 9 は P チャネル TFT、図 10 は N チャネル TFT である。オフセットの大きさは直接測定することは困難であるので、ゲート電極の周囲の酸化膜の厚さ（オフセットの大きさを十分に反映すると考えられる）によって、本発明の効果を記述する。

【0048】図 9、図 10 から明らかなように、酸化膜の厚さが大きいほど、すなわちオフセット領域の幅が大きいほど、逆方向リーケ電流やオフ電流が減少することがわかった。特にその効果は N チャネル TFT で著しいことがあきらかになった。すなわち、図から分かるように、N チャネル TFT では、ゲート電圧が 0 のときの電流（オフ電流）が、オフセット領域の形成とともに減少して、実用的なレベルにまで低下した。P チャネル TFT では、オフ電流が低下するということはなかったが、逆方向リーケ電流は著しく減少した。このようにオフセット領域を設けることによるオフ電流の減少は、図 11 に示される。図中で I_{OFF} はオフ電流、 I_{on} はオン電流である。

【0049】また、オフセット領域を設けることによる TFT のしきい値電圧 (V_{th}) の変化は見られなかつた。この様子を図 12 に示す。しかしながら、別の実験によると、オフセット領域が異常に大きい場合にはチャネルの形成が不連続的であるので、特性の悪化が観測された。例えば、図 13 に示すようにオフセット領域の幅が 300 nm を越えると、N チャネルでも P チャネルでも急速に電界移動度が減少した。これらの結果を考慮すると、オフセット領域の幅としては、200～400 nm が適していることが明らかになった。

【0050】【実施例 3】本発明によって得られる TFTにおいては、オフセット領域の幅によって、オフ電流だけでなく、ソース／ドレイン間の耐圧や動作速度が変化する。したがって、例えば、陽極酸化膜の厚さ等のパラメータを最適化することによって、目的に応じた TFT を作製することが出来る。しかしながら、このようなパラメータは一般に 1 枚の基板上に形成された個々の TFT に対して調節できるものではない。例えば、実際の回路においては、1 枚の基板上に、低速動作でもよいが、高耐圧の TFT と低耐圧でもよいが、高速動作の要

求される TFT を同時に形成することが望まれる場合がある。一般に、本発明においては、オフセット領域の幅が大きいほど、オフ電流が小さく、耐圧性も向上するが、動作速度が低下するという欠点もあった。

【0051】本実施例はこのような問題を解決する 1 例を示す。図 14（断面図）および図 15（上面図）には本実施例を示す。本実施例では、特願平 3-296331 に記述されるような、P チャネル TFT と N チャネル TFT を 1 つの画素（液晶画素等）を駆動するために使

10 用する画像表示方法において使用される回路の作製に関するものである。ここで、N チャネル TFT は高速性が要求され、耐圧はさほど問題とされない。一方、P チャネル TFT は、動作速度はさほど問題とされないが、オフ電流が低いことが必要とされ、場合によっては耐圧性がよいことも必要とされる。したがって、N チャネル TFT は陽極酸化膜が薄く（20～100 nm）、P チャネル TFT は陽極酸化膜が厚い（250～400 nm）ことが望まれる。以下にその作製工程について説明する。

20 20 【0052】図 14（A）および図 15（A）に示すようにコーニング 7059 を基板 101 として、実質真性のアモルファスあるいは多結晶半導体、例えばアモルファスシリコン膜を厚さ 50 nm だけ形成し、これを島状にパターニングして、N チャネル TFT 領域 102 と P チャネル TFT 領域 103 を形成する。これを窒素雰囲気中 600°C で 60 時間アニールし、再結晶化させた。

【0053】さらに、ECR プラズマ CVD 法によってゲート酸化膜 104 として、酸化珪素被膜を厚さ 115 nm だけ堆積し、スペッタリング法によって耐熱金属であるタンタルの被膜を厚さ 500 nm だけ形成し、これをパターニングして、N チャネル TFT のゲート電極部 105 および P チャネル TFT のゲート電極部 106 を形成した。タンタルのかわりに抵抗の小さな（不純物が十分にドープされた）多結晶シリコンでもよい。このときのチャネルの大きさは長さを 8 μm、幅を 8 μm とした。また、全てのゲート電極・配線は図 15（A）に示されているように共通の配線 150 に電気的に接続されている。

30 30 【0054】さらに、ゲート電極・配線 150 に電気を通じ、陽極酸化法によって、ゲート電極・配線 105、106 の周囲（上面および側面）に酸化アルミニウムの被膜 107、108 を形成した。陽極酸化は実施例 2 と同じ条件でおこなった。ただし、最大電圧は 50 V とした。したがって、この工程で作製された陽極酸化膜の厚さは約 60 nm である。（図 14（B））

【0055】次に図 15（B）において、151 で示されるように、ゲート電極・配線 105 をレーザーエッチングによって配線 150 から切り離した。そして、この状態で再び、陽極酸化を始めた。条件は先と同じであるが、このときには最大電圧は 250 V まで上げた。その

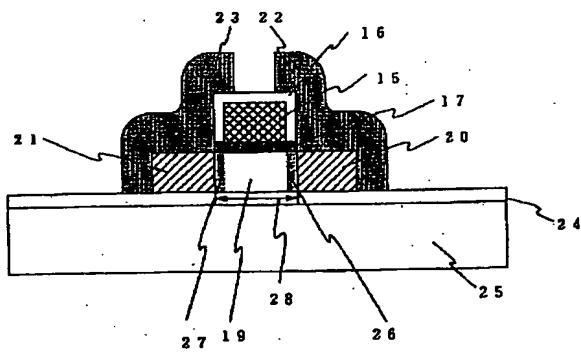
50

13

7 6

N TFT

【図 1】

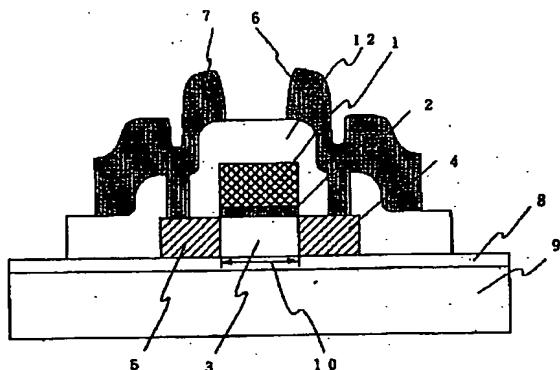


14

7 7

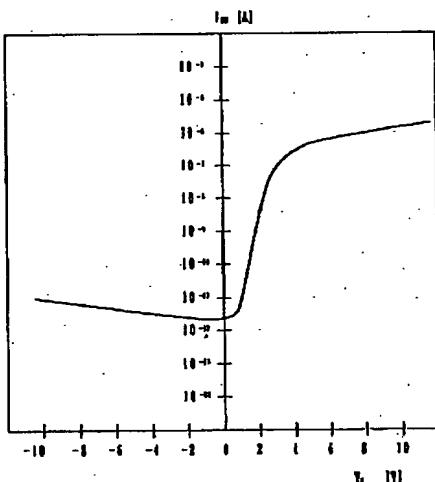
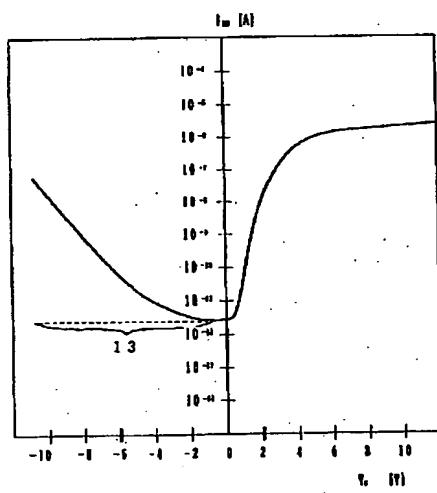
P TFT

【図 2】

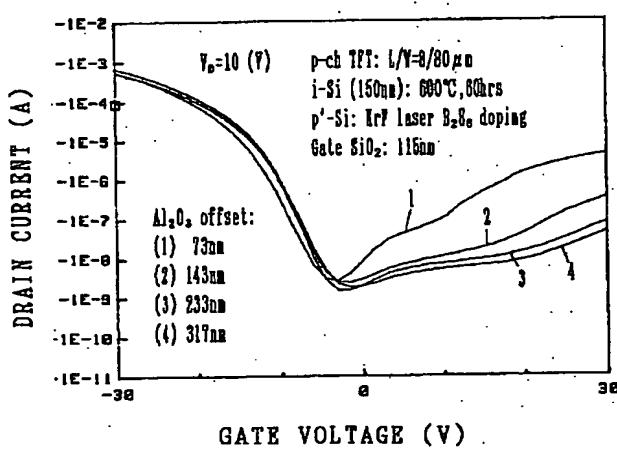


【図 3】

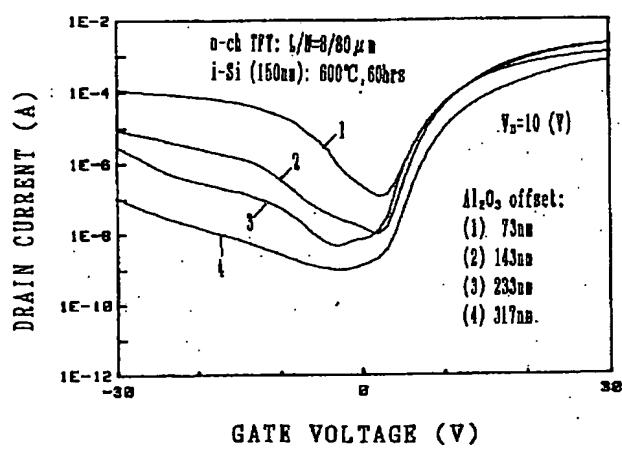
【図 4】



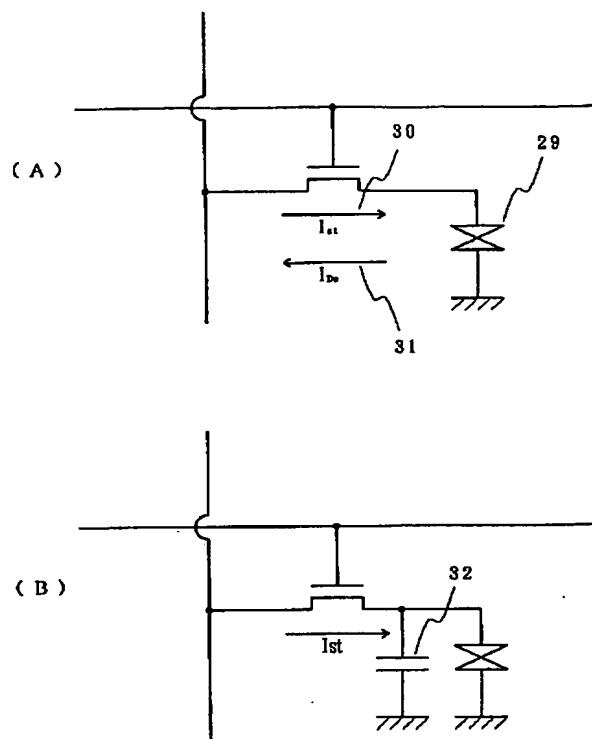
【図 9】



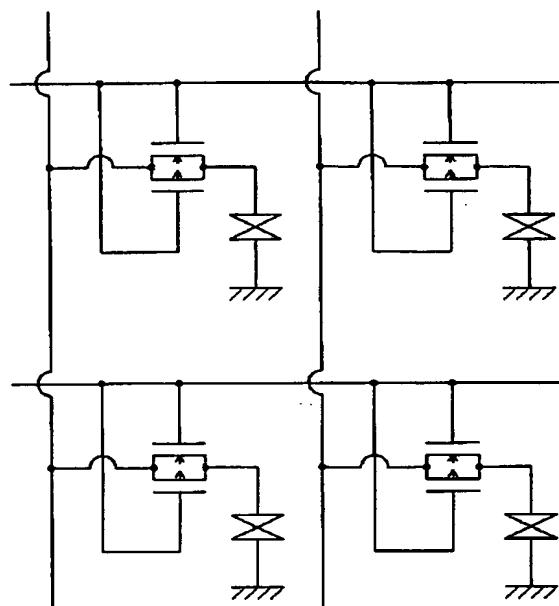
【図 10】



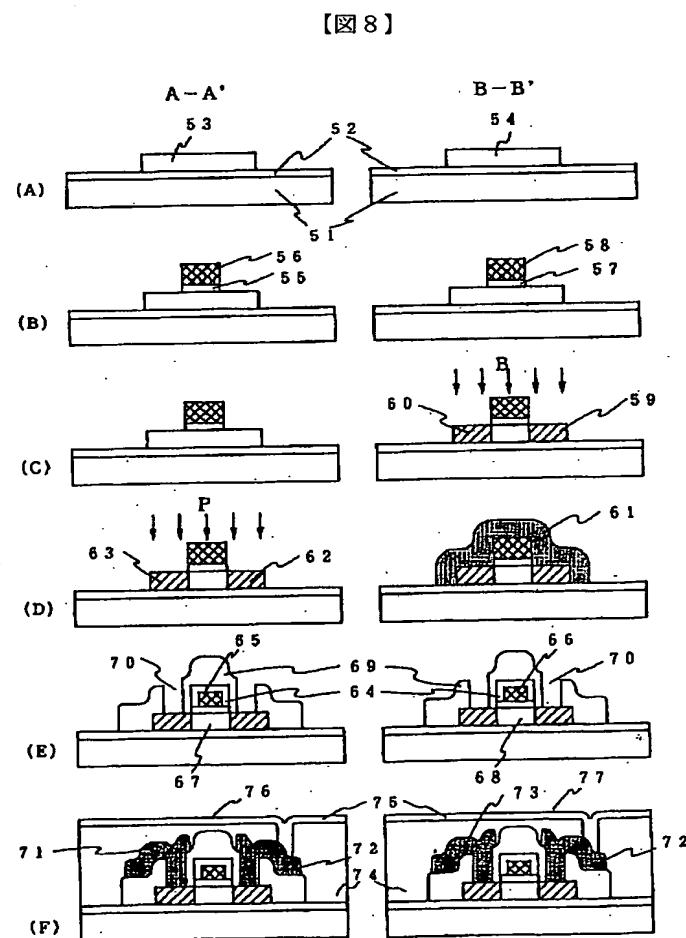
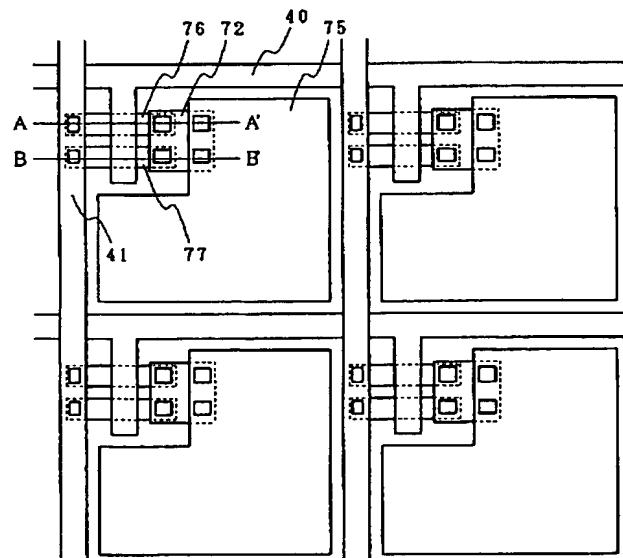
【図 5】



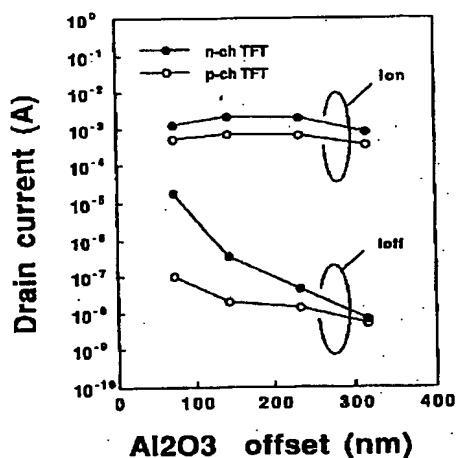
【図 6】



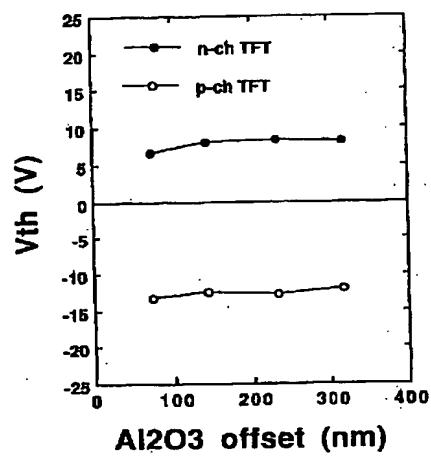
【図 7】



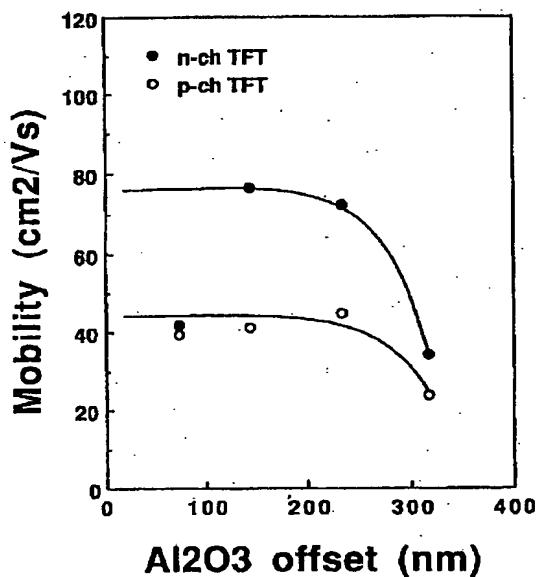
【図 1 1】



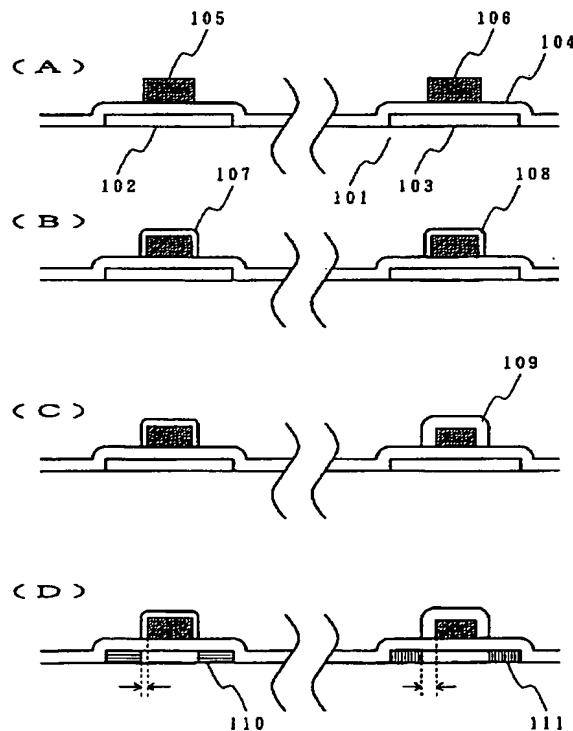
【図 1 2】



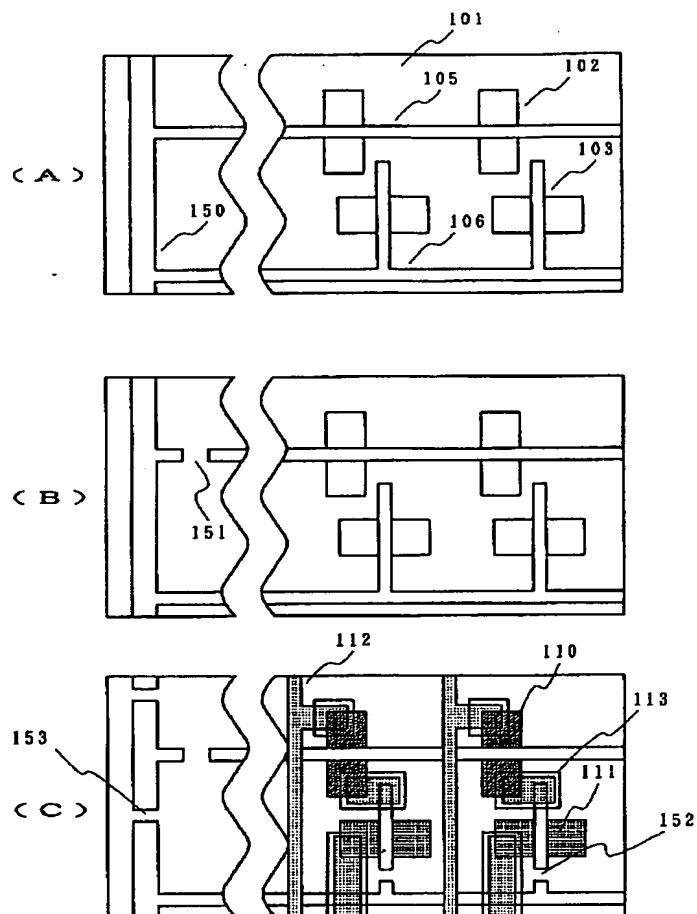
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 魚地 秀貴
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 根本 英樹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内